

# 黑龙江工程学院

## 2025 年硕士研究生招生考试初试自命题科目考试大纲

命题单位	电气与信息工程学院		答题方式	闭卷、笔试
科目代码	807	科目名称	数字电子技术	
试卷满分	150 分		考试时长	3 小时
<b>参考书目：</b> 1. 《电子技术基础数字部分》（第 7 版），康华光、张林主编，高等教育出版社，2021 年。 2. 《数字电子与 EDA 技术》，秦进平、刘海成主编，清华大学出版社，北京交通大学出版社，2019 年。				
<b>试卷题型结构：</b> 1. 选择题：10 小题，每题 2 分，共 20 分。 2. 填空题：10 小题，每题 3 分，共 30 分。 3. 分析计算题：4 小题，每题 10 分，共 40 分。 4. 综合设计题：4 小题，每题 15 分，共 60 分。				
<b>试卷内容结构：</b> 数制及转换、逻辑运算与逻辑函数化简 12%，逻辑门电路、逻辑电平转换 8%，组合逻辑电路分析与设计 24%，时序逻辑电路分析与设计 28%，逻辑电路的 Verilog HDL 描述、分析与设计 10%，D/A 转换器与 A/D 转换器 8%，脉冲波形的产生与整形 10%。				
<b>试卷内容说明：</b> <b>对本考试科目的总体说明：</b> 要求考生全面系统地掌握数字电子技术的基本概念、基本理论和基本方法。并且能综合运用数字电子技术的理论、方法分析解决具体的问题。 <b>一、数制及转换、逻辑运算与逻辑函数化简</b> 1. 本部分总体要求 数制及转换；逻辑运算；逻辑代数与逻辑函数的公式法化简；逻辑函数的卡诺图化简；逻辑函数的各种表示方法及转换。 2. 考试要求 理解数制与码制的基本知识。 掌握基本逻辑运算、复合逻辑运算，以及逻辑代数的定理、定律。 掌握逻辑函数的公式法和卡诺图化简方法。 掌握逻辑函数的各种表示方法及其相互之间的转换。 <b>二、逻辑门电路、逻辑电平转换</b> 1. 本部分总体要求 分立逻辑门电路；TTL 逻辑门电路；CMOS 逻辑门电路；三态门及应用；OC 门、OD 门及应用；逻辑电平及转换。 2. 考试要求 理解半导体器件的开关特性。 了解 TTL 集成门电路的基本原理，掌握 TTL 集成门电路的工作参数。				

了解 CMOS 集成门电路的基本原理，掌握 CMOS 集成门电路的工作参数。

掌握三态门的工作特性和典型应用电路。

理解 OC 门、OD 门的结构，掌握线与电路。

了解常用逻辑电平，掌握电平转换方法。

### 三、组合逻辑电路分析与设计

#### 1. 本部分总体要求

组合逻辑电路的分析；组合逻辑电路中的竞争冒险；组合逻辑电路的设计；编码器、译码器及应用；数据选择器、数据分配器及应用；数值比较器；机器数及其算术运算电路。

#### 2. 考试要求

掌握组合逻辑电路的基本分析方法和基本设计方法。

了解竞争冒险，掌握竞争冒险的消除方法。

掌握编码器和优先编码器的工作原理，以及常用 MSI 优先编码器器件、扩展方法和基本应用电路。

掌握通用译码器的工作原理，以及常用 MSI 译码器器件、扩展方法和基本应用电路。掌握基于通用译码器的组合逻辑电路设计方法。

理解 BCD 码转七段码专用译码器工作原理。

掌握数据分配器的工作原理，以及常用 MSI 数据选择器器件、扩展方法和基本应用电路。掌握基于数据选择器的组合逻辑电路设计方法。

了解数据分配器，理解数据分配器实现电路。

掌握无符号机器数算术运算和进借位判断方法，掌握无符号数加法器及常用 MSI 器件的工作原理，扩展方法和基本应用电路。

掌握有符号机器数算术运算和溢出判断方法，掌握有符号补码加减运算器及溢出指示电路。

### 四、时序逻辑电路分析与设计

#### 1. 本部分总体要求

双稳态存储器与基本 RS 锁存器；锁存器；触发器及工作参数；半导体存储器；时序逻辑电路；同步时序逻辑电路的分析；同步时序逻辑电路的设计；同步时序逻辑电路的工作参数；计数器及应用；移位寄存器及应用。

#### 2. 考试要求

了解双稳态存储器，掌握基本 RS 锁存器。

了解 RS 锁存器，掌握 D 锁存器，理解锁存器的透明传输特性。

掌握 D 触发器、JK 触发器，了解 T 触发器和 T' 触发器，了解触发器的电路结构，掌握触发器的同步操作和异步操作，掌握触发器的工作参数。

理解同步时序逻辑电路和异步时序逻辑电路，掌握同步时序逻辑电路的基本分析方法，理解同步时序逻辑电路的工作参数。

掌握同步时序逻辑电路的基本设计方法。

掌握计数器、移位寄存器及常用 MSI 器件的工作原理，并能对应用电路进行分析与设计。理解 PWM 发生器、序列信号发生器、节拍脉冲发生器等电路的工作原理。

### 五、逻辑电路的 Verilog HDL 描述、分析与设计

#### 1. 本部分总体要求

PLD 的结构及工作原理；Verilog HDL 的数值表示及变量数据类型；Verilog HDL 的三种建模方式；组合逻辑电路的 Verilog HDL 描述、分析与设计；同步时序逻辑电路(即 FSM)的 Verilog HDL 描述、分析与设计。

#### 2. 考试要求

了解 PLD 的结构，理解 PLD 的可编程原理。

掌握 Verilog HDL 的数值表示、变量数据类型和三种建模方式。

掌握组合逻辑电路的 Verilog HDL 描述、分析与设计。

掌握同步时序逻辑电路的 Verilog HDL 描述、分析与设计，重点掌握 FSM、计数器应用电路和移位寄存器应用电路的 Verilog HDL 设计。

## **六、D/A 转换器与 A/D 转换器**

### **1. 本部分总体要求**

D/A 转换器的工作原理、接口时序及应用电路的分析与设计；A/D 转换器的工作原理、接口时序及应用电路的分析与设计；DDS 的结构和工作原理。

### **2. 考试要求**

理解权电阻网络 D/A 转换器的工作原理，掌握 R-2R 型电阻网络 D/A 转换器工作原理。

掌握 D/A 转换器的接口时序，理解 D/A 转换器应用电路的分析与设计。

掌握并联比较型、逐次逼近比较型、双积分型和计数器型 A/D 转换器的基本原理。

掌握 A/D 转换器的接口时序，理解 A/D 转换器应用电路的分析与设计。

了解 DDS 的结构，理解 DDS 的工作原理。

## **七、脉冲波形的产生与整形**

### **1. 本部分总体要求**

555 集成电路；施密特触发特性与抗干扰；单稳态触发电路；多谐振荡器。

### **2. 考试要求**

了解逻辑电路抗干扰设计，理解施密特触发的工作原理、特点及典型应用。

理解单稳态触发器的工作原理、特点及典型应用。

理解多谐振荡器的工作原理、特点及典型应用。

理解 555 时基电路内部结构，掌握基于 555 时基电路的施密特触发器、单稳态触发器、多谐振荡器及应用电路的分析与设计方法。